低温沉积 SiO₂ 薄膜工艺的研究

李璟文,周 艺,吴 涛,章 强

(中国科学院苏州生物医学工程技术研究所,江苏苏州 215163)

摘要:利用等离子体增强化学气相沉积系统(PECVD)研究 SiO₂ 薄膜低温制备工艺,分析工艺条件对薄膜性能 参数影响,通过调节射频功率优化薄膜应力,在 150 ℃低温下获得接近零应力 SiO₂ 薄膜,薄膜沉积速率约为 40 nm/min 片内均匀性优于 3% 折射率为 1.46±0.003 并具有良好的附着力和抗蚀性能。由于沉积温度低,薄膜性 能好,因此可以作为绝缘层或介质层,应用于柔性电子领域。

关键词: PECVD; SiO₂; 应力附着力; 柔性电子

中图分类号: 0484; 0484.4 文献标志码: A 文章编号: 1006-7086(2013) 03-0168-04 DOI: 10.3969/j.issn.1006-7086.2013.03.010

STUDY ON SIO₂ FILM DEPOSITION AT LOW TEMPERATURES

LI Jing-wen , ZHOU Yi , WU Tao , ZHANG Qing

(Suzhou Institute of Biomedical Engineering and Technology, Chinese Academy of Sciences, Suzhou 215163, China)

Abstract: The preparation of SiO_2 film by plasma enhanced chemical vapor deposition (PECVD) was invertigated. The effect of deposition parameters on the properties of the film was analyzed. The stress of the film by adjusing the RF power was optimized, Near-zero stress SiO_2 film was prepared at 150 °C. The deposition rate is around 40 nm/min with thickness uniformity better than 3% and refractive index in the range of 1.46±0.003. The film had good adhesion and etching resistance. Due to its low temperature and excellent film properties, the film can be applies in flexible electronics as insulation or dielectric layers. **Key words**: PECVD; SiO₂; Stress; Adhesion; Flexible electronics

1 引言

等离子体增强化学气相淀积 SiO₂薄膜由于其沉积温度低、速率快、折射率一定范围内易调、覆盖性好、 介电强度高、对光的散射吸收小等性能而广泛应用于微电子领域。它借助微波或射频等方式使含有薄膜原 子组成的气体电离,在局部形成等离子体并在基片反应,从而形成薄膜,由于等离子体化学活性很强,因此反 应可以在较低温度下进行。为了获得高质量的 SiO₂薄膜,目前一般的沉积温度在 200~350 ℃^[1-2],虽然远低 于传统的化学气相沉积法(700 ℃)^[5]及光化学气相沉积法(500 ℃)^[4],但是,在柔性电子、MEMS 器件的应 用中,由于聚合物、有机材料很难承受 200 ℃以上的高温(通常在 180 ℃以下)^[6-8],这就限制了 SiO₂薄膜在 以上场合的应用。尝试在 150 ℃低温下沉积高质量的 SiO₂薄膜,测试了薄膜厚度、均匀性、折射率、沉积速率 等参数,讨论了气体流量对薄膜沉积速率、折射率的影响,分析影响薄膜应力的参数,并通过调节射频功率优 化薄膜应力,最终获得接近零应力的 SiO₂薄膜,同时该薄膜具有良好的附着力及抗蚀性能。

2 试验装置与方法

SiO₂薄膜的沉积试验采用平行极板式等离子体增强化学气相沉积系统。极间距设定为 11 mm,底电极 接地,并配有加热装置,温度范围。频率为13.56 MHz的射频信号经匹配网络加载到上极板,设备本身的

收稿日期: 2013-04-27.

作者简介:李璟文(1985-) , 用, 甘肃省武威市人, 研究实习员, 主要从事光电薄膜器件研究。

Load Lock 腔室极大程度地保证了工艺稳定性。

沉积 ${
m SiO}_2$ 薄膜采用的反应气体为稀释至 5%的 ${
m SiH}_4$ 、 ${
m N}_2{
m O}$ 及高纯 ${
m N}_2$ 。基片采用三寸 ${
m GaAs}({
m E}_{100})$ 晶片。

均匀性测试采用九点法测试 即在基底选取均匀分布的九个点,分别测试各点的厚度值,利用广泛采用 的非均匀性公式(最大值-最小值)/2倍平均值得到。其中,薄膜厚度及折射率均采用 Filmetrics F40-UV 膜 厚仪测试。

SiO₂薄膜的应力 σ (Pa) 可以凭借测量基片曲率在薄膜沉积前后的改变按(1) 式计算。即:

$$\sigma = \frac{E}{1 - v} \left(\frac{1}{R_2} - \frac{1}{R_1} \right) \frac{H^2}{6T}$$
(1)

式中: *E* 为基片杨氏模量, Pa; *v* 为基片的 Poisson 比; *H* 为基片厚度, μ m; *T* 为沉积薄膜厚度, μ m; *R*₁为沉积前的晶圆曲率半径, μ m; *R*₂为沉积后的晶圆曲率半径, μ m。实验中采取 GaAs 基片杨氏模量为 85.3 GPa, *v* = 0.31。

SiO₂薄膜的附着力采用常用的 Scratch & Tape 方法,即首先用金刚石刻刀划开基片上的 SiO₂薄膜,观察 薄膜有无开裂或脱落,然后使用胶带贴住该区域并快速撕掉胶带 检查胶带上有无 SiO₂薄膜碎片,薄膜边缘 有无 SiO₂薄膜脱落,从而判断 SiO₂薄膜的附着力。若薄膜无开裂脱落,胶带上无薄膜碎片,则说明薄膜附着 力良好。SiO₂的抗蚀性能在十倍稀释的氢氟酸缓冲液中进行。

3 结果与讨论

3.1 薄膜均匀性及折射率

衬底采用 GaAs(E₁₀₀) 三寸基片,沉积初始条件为:功率 200 W,温度 150 ℃,SiH₄流量 8.45×10⁻⁵Pa・am³/s №0 流量 8.45×10⁻⁴ Pa・am³/s №2流量 8.45×10⁻⁵ Pa・am³/s 压力 150 Pa 沉积时间 600 s。 薄膜厚度及折射率的九点采样分布如图 1 所示:

薄膜厚度为 2 020 A,均匀性优于 3%,沉积速率约为 20 nm/min 折射率为 1.45 均匀性优于±0.004。在 此沉积条件下获得的薄膜折射率偏低,主要是由于薄膜致密性较差,一方面是由于 SiH₄流量不足,薄膜含硅 量较少,另一方面是由于沉积温度较低,样品表面原子的运动活性较低,导致薄膜致密性不高。为了获得与 块体材料折射率相近的 SiO₂薄膜,首先尝试通过提高 SiH₄流量,提高硅原子密度,从而提高折射率。将 SiH₄ 流量提高至 1.69×10⁻⁴ Pa•am³/s,其余条件不变,薄膜厚度及折射率分布如图 2 所示:



可见 SiH₄流量增大后 ,薄膜中硅原子含量增加 ,薄膜更加致密 ,折射率也响应增加至 1.46 ,与 SiO₂块体 材料相当。同时 ,沉积速度也随流量增加正比例提高 ,由 20 nm/min 增加至 40 nm/min。 3.2 应力

在 SiO₂薄膜的应用中,为了避免薄膜翘曲导致器件失效,希望获得应力尽可能低的薄膜。由于 PECVD 沉积二氧化硅薄膜在高频和低频条件下分别呈现张应力和压应力^[1],因此,采用高低频混合沉积的方法可 以使应力相互抵消,即通过对混频工艺中的低频和高频的时间比进行控制,从而可以在一定程度上减小薄膜 应力,但是在工程领域,这种工艺的稳定性及可靠性有待进一步验证,而且很少有化学气相沉积设备配备双频源。因此,主要针对单一的射频源,尝试通过调节射频功率的大小优化薄膜应力。

由于采用的应力测试手段会受基片本身的厚度、曲率半径的影响,为了尽量避免衬底对薄膜应力的影响,我们首先做了验证,即在同一批试验中,同时放入两片厚度分别为 380 μm 和 120 μm 的 GaAs 基片,沉积 结束后,分别测试 SiO₂薄膜的应力。如表 1 所列:

	衬底厚度/μm	扫描长度/mm	应力/MPa
1	380	30	214
2	120	30	1100

表1 基片厚度对薄膜应力的影响

可以看出,在同等条件下,衬底越薄,应力越易体现,对 SiO₂薄膜真实应力的影响也越小。因此,采用 120 μm 的 GaAs 基片,通过调节射频功率优化薄膜应力。

由于功率较低时薄膜一般呈现压应力,而功率较高时薄膜通常呈现张应力,这是由于在功率较低时,等 离子体密度有限,发生化学反应的原子有足够的时间有序的排列形成致密的氧化硅薄膜,随着功率的增大, 等离子体密度随之增大,发生表面淀积反应的分子快速增加,原子将没有足够的时间进行排列,而是无序性 增强,压应力随之减小并逐渐转变为张应力,并随功率的继续增加而增加。

在 200 W 的功率下,薄膜表现出很大的张应力,当调整功率为 60 W 时,又表现为较大的压应力,因此初步判断零应力点应处于 60 W 与 120 W 之间,通过两次调试,最终发现 SiO₂薄膜的零应力点位于 120 W 附近,如图 3 所示。

此外,还可以通过调节沉积压力、衬底温度、气体配 比等参数调节 SiO₂薄膜应力^[3]。当气压较低时,离子对 样品表面的轰击作用较为明显,达到一定程度后会打破 SiO₂薄膜中的原子键,造成膜膨胀,引起压应力,这与低频 下薄膜产生压应力的原因是一致的。

从低温到高温,应力的变化趋势是从压应力变化为 张应力,压应力是由于膜在沉积过程中,到达薄膜表面的



离子的横向移动速率太小,来不及到达其晶格位置,被后来的离子覆盖,这样离子就相当于被阻塞在某一位置,最终会膨胀形成压应力。张应力的形成是在膜的形成过程中,由于反应中间产物的气化脱附,而参加沉积的原子,其迁移率不够大而来不及填充中间产物留下的空位,最后形成的膜会收缩产生张应力。

3.3 附着力

为了检验低温沉积 SiO_2 薄膜的附着力,采用前面所述的 Scratch & Tape 方法进行了相应测试,测试结果如图 4 所示:

可以看出,薄膜在金刚石刻刀划过后无龟裂、脱落现象, 使用胶带贴住此区域并快速撕掉,胶带上无薄膜碎片,因此 薄膜具有优越的附着性能。

3.4 刻蚀速率

测试 PECVD 淀积 SiO₂薄膜的抗蚀性能,室温 26 ℃下, 利用十倍稀释的 40% HF 溶液进行试验,刻蚀时间为20 s。 图 5 所示是在三寸片随机均匀取点在刻蚀前后的数据,刻蚀 速率约为 3 400~4 000 A/min,并保持很好的刻蚀均匀性。



图 4 薄膜附着力测试

与 CVD 沉积的 SiO,薄膜相比^[2] 抗蚀性能较差 这一方面是由于 PECVD 淀积的 SiO,薄膜针孔较多 结构较 为疏松。另一方面,由于沉积温度较低,薄膜致密性较差,因此抗蚀性能较差。

4 结论

尝试在低温 150 ℃下利用 PECVD 沉积 SiO₂薄膜 测 试了薄膜的厚度、均匀性、折射率、沉积速率等参数,通过 调节射频功率优化薄膜应力,获得了接近零应力的SiO。 薄膜 此外 该薄膜还具有良好的附着力 ,较好的抗蚀性 能。由于这种工艺温度较低,可以应用于温度敏感材料 或器件 特别是对于柔性电子器件等涉及聚合物材料的 应用。此外 还可以应用与目前柔性电子器件、柔性显示 等领域绝缘层及钝化层材料。

由于沉积温度低及 PECVD 方法本身的不足 沉积的 SiO,薄膜呈多孔状、致密性劣于热氧化及传统 CVD 方法, 因此抗蚀性能也较差,对低温沉积的SiO,薄膜进行退火 处理,一定程度上可以实现致密化,提高密度及抗蚀 性能。



图 5 SiO,薄膜 BHF 刻蚀前后薄膜厚度

参考文献:

- [1] Adams A C, Alexander F B, Capio C D, et al. Characterization of plasma deposited silicon dioxide [J]. J. Electrochem. Soc. 1981, 128: 1545-1551.
- [2] Nguyen S V. High-density plasma chemical vapor deposition of silicon based dielectric films for integrated circuits [J]. IBM Journal of research and development. 1999, 43: 109-126
- [3] 吕文龙, 罗仲梓, 何熙, 等. PECVD 淀积 SiO2的应用 [J]. 功能材料与器件学报, 2008, 14(1): 33-37.
- [4] Liu C H , Chang C S , Chang S J. The characteristics of photo-CVD SiO₂ and its application on SiC MIS UV photodetectors [J]. Materials Science and Engineering , 2003 , 100(B) : 142-146.
- [5]关旭东. 硅集成电路工艺基础 [M]. 北京: 北京大学出版社 2006: 139-179.
- [6] Mark Meitine Andrei Sazonov. Low Temperature PECVD Silicon Oxide for Devices and Circuits on Flexible Substrates [C]// MRS Proceedings. 2003, 769.
- [7]Kan Zhang , Jung-Hun Seo , Weidong , et al. Fast flexible electronics usingtransferrable silicon nanomembranes [J]. J. Phys. D: Appl. Phys. 2012, 45(14): 143001-143014.
- [8] Ming Ying , Andrew P Bonifas , Nanshu Lu et al. Silicon nanomembranes for fingertip electronics [J]. Nanotechnology. 2012 23 (34): 344004-344010.